

Rec'd PTO

10/530888
11 APR 2005 PCT/JP03/12789

日本国特許庁
JAPAN PATENT OFFICE

06.10.03	
REC'D 24 OCT 2003	
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 7月11日

出願番号
Application Number: 特願2003-273220
[ST. 10/C]: [JP2003-273220]

出願人
Applicant(s): 日本電気株式会社

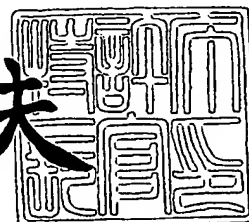
Best Available Copy

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 8月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 33409965
【あて先】 特許庁長官殿
【国際特許分類】 H10L 27/12
【発明者】
 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
 【氏名】 鈴木 康之
【特許出願人】
 【識別番号】 000004237
 【氏名又は名称】 日本電気株式会社
【代理人】
 【識別番号】 100096253
 【弁理士】
 【氏名又は名称】 尾身 祐助
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-296982
 【出願日】 平成14年10月10日
【手数料の表示】
 【予納台帳番号】 003399
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9002137

【書類名】 特許請求の範囲**【請求項 1】**

複数の IC が実装されており、その入力インピーダンスおよび出力インピーダンスがそれぞれ入力側外部インピーダンスおよび出力側外部インピーダンスと整合されている半導体装置において、内部回路の少なくとも一部は、入力側外部インピーダンスと出力側外部インピーダンスが一致している場合にはその外部インピーダンスより、入力側外部インピーダンスと出力側外部インピーダンスが一致していない場合にはその低い方の外部インピーダンスより高いインピーダンスにおいて整合がとられていることを特徴とする半導体装置。

【請求項 2】

複数の IC が実装されており、その入力インピーダンスおよび出力インピーダンスがそれぞれ入力側外部インピーダンスおよび出力側外部インピーダンスと整合されている半導体装置において、少なくとも二つの内部回路は、入力側外部インピーダンスと出力側外部インピーダンスが一致している場合にはその外部インピーダンスより、入力側外部インピーダンスと出力側外部インピーダンスが一致していない場合にはその低い方の外部インピーダンスより高い互いに異なるインピーダンスにおいて整合がとられていることを特徴とする半導体装置。

【請求項 3】

複数の IC が実装されており、その入力インピーダンスおよび出力インピーダンスがそれぞれ入力側外部インピーダンスおよび出力側外部インピーダンスと整合されている半導体装置において、IC 間を接続する内部伝送路の少なくとも一部の特性インピーダンスは、入力側外部インピーダンスと出力側外部インピーダンスが一致している場合にはその外部インピーダンスより、入力側外部インピーダンスと出力側外部インピーダンスが一致していない場合にはその低い方の外部インピーダンスより高いインピーダンスに設定されており、前記 IC の前記内部伝送路に接続された回路の入・出力インピーダンスは前記内部伝送路の特性インピーダンスに整合されていることを特徴とする半導体装置。

【請求項 4】

実装基板と、該実装基板上に実装された複数の IC とを含む半導体装置において、その入力インピーダンスおよび出力インピーダンスがそれぞれ入力側外部インピーダンスおよび出力側外部インピーダンスと整合されており、前記実装基板上に形成された IC 間を接続する内部伝送路の少なくとも一部の特性インピーダンスは、入力側外部インピーダンスと出力側外部インピーダンスが一致している場合にはその外部インピーダンスより、入力側外部インピーダンスと出力側外部インピーダンスが一致していない場合にはその低い方の外部インピーダンスより高いインピーダンスに設定されており、前記 IC の前記内部伝送路に接続された回路の入・出力インピーダンスは前記内部伝送路の特性インピーダンスに整合されていることを特徴とする半導体装置。

【請求項 5】

実装基板と該実装基板上に実装された複数の IC とを含む集積回路を複数個有する半導体装置において、その入力および出力インピーダンスが外部インピーダンスと整合されており、前記集積回路間を接続する内部伝送路の少なくとも一部の特性インピーダンスは外部インピーダンスより高いインピーダンスに設定されており、前記集積回路の前記内部伝送路に接続された回路の入・出力インピーダンスは前記内部伝送路の特性インピーダンスに整合されていることを特徴とする半導体装置。

【請求項 6】

特性インピーダンスが入・出力側外部インピーダンスまたは何れか低い方の外部インピーダンスより高いインピーダンスに設定されている二つの内部伝送路の特性インピーダンスが互いに異なっていることを特徴とする請求項 3 ないし 5 の何れかに記載の半導体装置。

【請求項 7】

前記内部伝送路の前段に配置された IC の出力回路の負荷抵抗が前記内部伝送路とインピーダンス整合しており、前記内部伝送路の後段に配置された IC の入力回路の入力整合抵

抗が前記内部伝送路とインピーダンス整合していることを特徴とする請求項 3 ないし 6 の何れかに記載の半導体装置。

【請求項 8】

前記出力回路が、差動回路を構成していることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記入力回路が、エミッタフォロウ回路またはソースフォロウ回路であって、前記入力整合抵抗が、エミッタフォロウ回路のベース・グランド若しくは電源間、または、ソースフォロウ回路のゲート・電源若しくはグランド間、に接続されていることを特徴とする請求項 7 または 8 に記載の半導体装置。

【請求項 10】

前記 IC が、ECL 回路を構成していることを特徴とする請求項 1 から 9 のいずれかに記載の半導体装置。

【請求項 11】

前記 IC が、ペアチップ IC であることを特徴とする請求項 1 から 10 のいずれかに記載の半導体装置。

【請求項 12】

外部インピーダンスと整合されている入・出力回路の少なくとも一方は同軸ケーブルに接続されていることを特徴とする請求項 1 から 11 のいずれかに記載の半導体装置。

【請求項 13】

入力される信号は、伝送速度が 1 ギガビット／秒以上であるか若しくは周波数が 800 MHz 以上であることを特徴とする請求項 1 から 12 のいずれかに記載の半導体装置。

【請求項 14】

入・出力側外部インピーダンスまたは何れか低い方の外部インピーダンスより高い前記インピーダンスが、前記入・出力側外部インピーダンスまたは何れか低い方の外部インピーダンスの 10 倍以下であることを特徴とする請求項 1 から 13 のいずれかに記載の半導体装置。

【請求項 15】

入・出力側外部インピーダンスまたは何れか低い方の外部インピーダンスより高い前記インピーダンスが、前記入・出力側外部インピーダンスまたは何れか低い方の外部インピーダンスの 2 倍以上であることを特徴とする請求項 1 から 14 のいずれかに記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、MCM(Multi Chip Module)等の複数の半導体集積回路を含む半導体装置に関し、特に、外部回路とのインピーダンス整合がとられた高速で動作できる半導体装置に関するものである。

【背景技術】

【0002】

近年、半導体装置における集積化がますます進んでいく一方、高速動作への要求もますます増えている。たとえば、光通信システムにおいては、伝送速度は著しく向上し、2.4ギガビット/秒 (Gbps) および10Gbpsの伝送速度が実用化されており、伝送速度は今後ますます高くなることが予想される。

半導体装置の動作速度が高くなるにつれ、半導体集積回路内の配線や半導体集積回路と半導体集積回路をつなぐ伝送路において生ずる反射信号の存在が無視できなくなり、長い配線や長い伝送路を有する箇所ではインピーダンス整合の手法がとられている。

【0003】

図9に従来の半導体装置のモジュールの構成を示す。半導体装置21には、外部回路に接続された入出力用のコネクタ27が設けられており、コネクタ27の端子は実装基板28上に形成された入出力伝送路22に接続されている。実装基板28上には、入出力伝送路22に接続された入力側ICチップ24、出力側ICチップ26および中間ICチップ25が搭載されており、ICチップ間には、実装基板28上に形成された内部伝送路23により接続されている。コネクタ27には同軸ケーブル（図示なし）が接続されており、半導体装置21と外部回路との信号の授受は同軸ケーブルを介して行われる。ここで、同軸線路における伝播について考えると、減衰定数 α は、次の式(1)で与えられる。

【0004】

【数1】

$$\alpha = \frac{1}{4\pi} \frac{R_s}{\sqrt{\frac{\mu_0}{\epsilon} \ln \frac{D}{d}}} = \left(\frac{1}{d} + \frac{1}{D} \right) \dots\dots\dots (1)$$

上式において、 d : 中心導体の外径、 D : 外側導体の内径、 ϵ : 絶縁物の誘電率、 R_s : 表面抵抗、 μ_0 : 真空の透磁率である。 α が小さくなれば、同軸線路での減衰が小さくなる。

上式において、 D と d の大きさと、 α の関係をみると、 D/d が3.59のときに α が最小になる。一方、同軸ケーブルの特性インピーダンスは式(2)で与えられる。

【0005】

【数2】

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{D}{d} \dots\dots\dots (2)$$

上式において、 ϵ_r は絶縁物の比誘電率である。同軸ケーブルの場合、中心導体を支えるために樹脂系のポリエチレン($\epsilon_r=2.3$)を絶縁体として使用している。これを中心導体の支えとして使用した同軸ケーブルで比誘電率を入れて計算すると、減衰定数が最小となる $D/d=3.59$ のところで、特性インピーダンスは、ほぼ50 Ω になる。そのため、外部インピーダンスは通常50 Ω であり、これとインピーダンス整合を取るために、入出力伝送路22の特性インピーダンスは50 Ω に設定されるがこれと共に内部伝送路23の特性インピーダンスも50 Ω に設定される。そして高速動作するIC(24~26)の入出力のインピーダンスのインピーダンスも50 Ω に設定されている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

従来の技術では、ICの入出力インピーダンスを 50Ω とするために、ICの入力回路に 50Ω の整合抵抗を接続するとともに出力回路に 50Ω の整合抵抗を接続している。そのため、ICの出力トランジスタは低い負荷抵抗において駆動されることになる。一方、この出力トランジスタの出力信号が入力されるICでは、この信号入力側ICの正常動作を保証するために、その入力信号の振幅が規定されている。この規定を満たすべく、前段のICの出力トランジスタは動作されることになるが、上述したようにこの出力トランジスタには低い負荷抵抗が接続されているため、上記の規定を満たすためには大電流で駆動される必要がある。その結果以下の問題が起こる。

(1)出力トランジスタを大電流で駆動するためにIC (24~26) および半導体装置 (21) の消費電流が増大する。

(2)出力トランジスタを大きく形成する必要があるため、ICの大型化を招く。

(3)出力トランジスタを駆動するためのバッファ回路の段数が増えあるいはバッファ回路のサイズが大きくなり、ICの消費電流の増大、面積の増大は一層促進される。

【0007】

本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、動作速度が高くなっても信号の反射や損失が生じないように、ICチップの入力および出力と実装基板上の伝送路がインピーダンス整合され、かつICチップの出力駆動電流を低減できるようにして、高速かつ低消費電力の半導体装置を提供できるようにすることである。

【課題を解決するための手段】

【0008】

上記の目的を達成するため、本発明によれば、複数のICが実装されており、その入力インピーダンスおよび出力インピーダンスがそれぞれ入力側外部インピーダンスおよび出力側外部インピーダンスと整合されている半導体装置において、内部回路の少なくとも一部は、入力側外部インピーダンスと出力側外部インピーダンスが一致している場合にはその外部インピーダンスより、入力側外部インピーダンスと出力側外部インピーダンスが一致していない場合にはその低い方の外部インピーダンスより高いインピーダンスにおいて整合がとられていることを特徴とする半導体装置、が提供される。

【0009】

また、上記の目的を達成するため、本発明によれば、複数のICが実装されており、その入力インピーダンスおよび出力インピーダンスがそれぞれ入力側外部インピーダンスおよび出力側外部インピーダンスと整合されている半導体装置において、少なくとも二つの内部回路は、入力側外部インピーダンスと出力側外部インピーダンスが一致している場合にはその外部インピーダンスより、入力側外部インピーダンスと出力側外部インピーダンスが一致していない場合にはその低い方の外部インピーダンスより高い互いに異なるインピーダンスにおいて整合がとられていることを特徴とする半導体装置、が提供される。

【0010】

また、上記の目的を達成するため、本発明によれば、複数のICが実装されており、その入力インピーダンスおよび出力インピーダンスがそれぞれ入力側外部インピーダンスおよび出力側外部インピーダンスと整合されている半導体装置において、IC間を接続する内部伝送路の少なくとも一部の特性インピーダンスは、入力側外部インピーダンスと出力側外部インピーダンスが一致している場合にはその外部インピーダンスより、入力側外部インピーダンスと出力側外部インピーダンスが一致していない場合にはその低い方の外部インピーダンスより高いインピーダンスに設定されており、前記ICの前記内部伝送路に接続された回路の入・出力インピーダンスは前記内部伝送路の特性インピーダンスに整合されていることを特徴とする半導体装置、が提供される。

【0011】

また、上記の目的を達成するため、本発明によれば、実装基板と、該実装基板上に実装された複数のICとを含む半導体装置において、その入力インピーダンスおよび出力インピーダンスがそれぞれ入力側外部インピーダンスおよび出力側外部インピーダンスと整合

されており、前記実装基板上に形成されたIC間を接続する内部伝送路の少なくとも一部の特性インピーダンスは、入力側外部インピーダンスと出力側外部インピーダンスが一致している場合にはその外部インピーダンスより、入力側外部インピーダンスと出力側外部インピーダンスが一致していない場合にはその低い方の外部インピーダンスより高いインピーダンスに設定されており、前記ICの前記内部伝送路に接続された回路の入・出力インピーダンスは前記内部伝送路の特性インピーダンスに整合されていることを特徴とする半導体装置、が提供される。

【発明の効果】

【0012】

本発明は、MCM等の複数のICチップが実装された半導体装置において、その入・出力部の伝送路と入・出力回路は外部回路のインピーダンスに整合させ、その内部回路の伝送路の特性インピーダンスと入・出力回路のインピーダンスは外部回路のインピーダンスより高く設定するものであるため、以下の効果を楽しむことができる。

- (1) 内部回路の出力回路の負荷インピーダンスが高くなるため、同じ出力電圧を得るために必要となる電流を低減することができ、さらに出力回路に必要となるバッファの段数を低減することができ、ICおよびそれが実装された半導体装置の消費電流を低減することができる。
- (2) 出力トランジスタの電流を低減できるため、出力トランジスタのサイズを縮小することができ、さらに出力回路に必要となるバッファの段数を低減することができ、ICチップのチップサイズを縮小することができる。
- (3) 内部回路の出力回路のバッファの段数を低減することができるため、ICおよびそれが実装された半導体装置の動作速度を高速化することができる。

【0013】

このような効果が得られる理由について、従来のバイポーラトランジスタを用いた集積回路装置の具体例を示す図10を参照して以下に説明する。図10において、上段のA-A線部は下段のA-A線部に接続される。図10において、Q6、Q7、Q11～Q19、Q21～Q27、Q31、Q32、Q41～Q43はバイポーラトランジスタ、R7、R8、R11～R14、R21～R28、R31～R34は抵抗器、GNDはグランド線、VEEは電源線である。

【0014】

同図は、入力側ICチップ24の出力回路24bと中間ICチップ25の入力回路25aとの接続部の状態を示す。前段の入力側ICチップ24にはECL(Emitter Coupled Logic)基本回路を用いたフリップフロップ回路20が搭載されており、その出力回路24bが、後段に接続される中間ICチップ25の入力回路25aに、実装基板28上に形成された内部伝送路23を介して接続されている。フリップフロップ回路20には、フリップフロップ回路のコア部(図ではスレーブ回路のみ記載)と、出力回路24bをなす差動回路およびエミッタフォロワ回路からなる2段のバッファ回路で構成されており、後段に接続されるICチップの入力回路25aは、エミッタフォロワ回路で構成されている。実装基板28上の内部伝送路23の特性インピーダンスは、上述したように外部インピーダンスと同じ50Ωである。また、前段の出力回路24bの最終段の負荷抵抗R31、R32には、実装基板28上の内部伝送路23とインピーダンス整合をとるために50Ωに設定されており、後段の入力回路25aには、実装基板28上の内部伝送路23とインピーダンス整合をとるために50Ωの抵抗R33、R34が接続されている。

【0015】

上記のように従来の半導体装置では、ICチップの入・出力回路および実装基板上の伝送路が外部インピーダンスと同様な50Ωで整合されており、動作速度が高くなっても、信号の反射や損失が生じないように設計されている。図10において、前段のフリップフロップ回路20の出力負荷は、終段の負荷抵抗R31(R32)の50Ωと後段の入力回路25aの整合抵抗R33(R34)の50Ωで、それらの抵抗がトランジスタQ41(Q42)に対し並列接続されていることにより25Ωとなる。ここで、前段のフリップフロップ回路20の出力駆動電流は、要求される出力振幅が0.5 V_{p-p}であるとする20 mAの電流が必要となる。そのため、前段の出力回路24bの最終段のトランジスタQ41～Q43は、20mAの電流を駆動できる大きなサイ

ズである必要があり、またこの大きなサイズのトランジスタを高速で動作させるために2段のバッファ回路も必要となり、さらに出力トランジスタ(Q41、Q42)を駆動するトランジスタQ31、Q32も大きなサイズとする必要がある。図10に示す前段のフリップフロップ回路20は、フリップフロップのコア部は、 $2\mu\text{m} \times 5\mu\text{m}$ のエミッタサイズのトランジスタを用い5mA以下の駆動電流で構成されるが、出力部では20mAが必要なため出力回路の最終段には $2\mu\text{m} \times 20\mu\text{m}$ のエミッタサイズのトランジスタ(Q41~Q43)が必要となる。また、出力回路の最終段の $2\mu\text{m} \times 20\mu\text{m}$ エミッタサイズのトランジスタを駆動するため、バッファ回路として差動回路とエミッタフォロワ回路からなる2段のバッファ回路が必要となり、また大エミッタサイズのトランジスタ(Q41、Q42)を駆動するトランジスタ(Q31、Q32)のエミッタサイズも $2\mu\text{m} \times 10\mu\text{m}$ と大きくする必要がある。そのため、消費電流の増加ばかりか、時には動作速度の低下も引き起こす。さらに、実装基板上に複数のICチップからなる半導体装置やMCMを形成する場合、各IC出力回路には20mA以上の消費電流が必要であり、全体では非常に高い消費電流となる。

【0016】

而して、図9に示す半導体装置において、入出力伝送路22の特性インピーダンスは 50Ω とする必要があり、そのため入力側ICチップ24の入力回路および出力側ICチップ26の出力回路の整合抵抗は 50Ω となされるが、同軸ケーブルと接続されていない内部伝送路23の特性インピーダンスは 50Ω である必要はない。同軸ケーブルは一般に長大な伝送路に用いられるため、減衰を小さく抑える必要性からその特性インピーダンスが 50Ω に設定されているが短い伝送路である内部伝送路23では減衰定数を重要視する必要がないからである。いま、入出力伝送路22の特性インピーダンスを Z_{ex} 、内部伝送路23の特性インピーダンスを Z_{int} として、 $Z_{int} = \alpha Z_{ex}$ (但し、 $\alpha > 1$) が成立するように内部伝送路23の特性インピーダンスを設定したとすると、例えば入力側ICチップ24の出力回路と中間ICチップ25の入力回路の整合インピーダンスはそれぞれ αZ_{ex} となり、したがって入力側ICチップ24の出力トランジスタの負荷インピーダンスは $\alpha Z_{ex}/2$ となる。ここで、次段の中間ICチップ25を駆動するために必要な入力信号振幅を V_{in} とすると、従来例の場合に必要な出力トランジスタの電流 I は、

$$I = V_{in} / 2\alpha Z_{ex}$$

であるのに対し、本発明の半導体装置の場合には、必要となる出力トランジスタの電流 I は、

$$I = V_{in} / 2Z_{int} = V_{in} / 2\alpha Z_{ex}$$

となって、必要な電流は $1/\alpha$ で済むことになる。よって、出力トランジスタのサイズ縮小が可能となると共に出力トランジスタを駆動するバッファ回路の段数削減、サイズ縮小が可能となる。なお、 $\alpha > 1$ であれば、上述した本発明の効果を享受することができるが、より好ましい範囲は、 $2 < \alpha < 10$ である。2以下では十分な本発明の効果が得られなくなるからであり、10以上となると損失が増えたり信号遅延が増大するなど他の弊害が無視できなくなるからである。

【発明を実施するための最良の形態】

【0017】

図1(a)は、本発明による半導体装置の概略の構成を示すブロック図である。同図に示すように、本発明に係る半導体装置100には、外部伝送路101に接続される入出力伝送路102と半導体集積回路間を接続する内部伝送路103が設けられている。ここで、入出力伝送路102の特性インピーダンス Z は、外部伝送路101の特性インピーダンス Z ($=50\Omega$)と整合させるために 50Ω に設定されているが、内部伝送路103の特性インピーダンス Z は 50Ω より高く(例えば $Z=200\Omega$)設定されている。外部伝送路101との内部伝送路103との間には入力側集積回路104または出力側集積回路106が配置され、二つの内部伝送路103間には中間集積回路105が配置される。そして、各半導体集積回路の入・出力回路のインピーダンスはその入・出力回路が接続される伝送路の特性インピーダンスと整合するように設定される。すなわち、入力側集積回路104の入力回路104aの入力インピーダンスは 50Ω に、その出力回路104bの出力インピーダンスは 50Ω より高く設定され、中間集積回路105の

入力回路105aの入力インピーダンスと出力回路105bの出力インピーダンスは50Ωより高く設定され、出力側集積回路106の入力回路106aの入力インピーダンスは50Ωより高く、その出力回路106bの出力インピーダンスは50Ωに設定されている。

【0018】

半導体装置100は、MCMなどのモジュール構成をとるものであってよい。各伝送路が形成され、各半導体集積回路が搭載される実装基板は、半導体基板、セラミックスなどからなる無機基板、ガラスエポキシ製などの樹脂基板等のいずれであってもよい。また、絶縁被覆金属基板であってもよい。基板が半導体基板である場合には、その基板内にトランジスタなどの素子が形成されていてもよい。各伝送路はパッケージに直接形成され、各半導体集積回路はパッケージに直接搭載される形態であってもよい（基板がパッケージを兼用していてもよい）。

図1に示される半導体装置では、伝送路以外の配線は示されていないが、実際には実装基板には電源線などの非伝送路配線が形成されている。すなわち、図2に示されるように、集積回路104～106の搭載された実装基板100a上には入出力伝送路102、内部伝送路103以外に、電源線、接地線、必要に応じて制御線などを含む非伝送路配線107が形成されている。而して、本発明において問題としているのは専ら伝送路であってそれ以外の配線については本発明においては問題としていない。

また、入力側集積回路104、中間集積回路105の出力信号は分岐された伝送路を介して複数の集積回路に入力されるように構成されていてもよい。また、基板上にはキャパシタやインダクタ等の受動素子や薄膜能動素子が形成されていてもよい。また、基板上には半導体集積回路以外の個別の能動素子や受動素子が搭載されていてもよい。集積回路104～106は、ベアチップのICであってもまたパッケージングされたICであってもよく、さらには複数のICチップが搭載されたMCMであってもよい。

【0019】

すべての内部伝送路103の特性インピーダンスが一定である必要はなく、例えば一部の内部伝送路103の特性インピーダンスが100Ωで他の内部伝送路103の特性インピーダンスが200Ωであってもよい。また、すべての内部伝送路103の特性インピーダンスを入出力伝送路のそれより大きくする必要はなく、一部の内部伝送路103の特性インピーダンスのみを50Ω以上としてもよい。少なくとも一部の内部伝送路103の特性インピーダンスを入出力伝送路の特性インピーダンスより大きくすることにより本発明の効果を達成することができる。しかし、最も効果が大きいのはすべての内部伝送路103の特性インピーダンスが入出力伝送路の特性インピーダンスより大きい場合である。そして、設計工数や製作の容易性の観点からすべての内部伝送路103の特性インピーダンスを同一値とすることが最も望ましい。

外部伝送路101としては、信号伝送品質の確保、接続の容易性、設計工数の低減の面からみて同軸ケーブルを用いるのが最も好ましい。

本発明に係る半導体装置の取り扱う信号の伝送速度や周波数は特に限定されないが、反射を抑えるためにインピーダンス整合の問題が重大になる1 Gbps以上、800MHz以上の場合に本発明は有利に適用される。特に、2.4Gbps以上、1GHz以上ではインピーダンス整合の問題がより深刻になるため本発明の効果はより顕著となる。

【0020】

本発明に係る半導体装置100との対比のために従来の半導体装置を図1(b)に示す。図1(b)において、図1(a)の半導体装置と対応する部分には下2桁が共通する参照符号が付せられているので、重複する説明は省略するが、従来例においては、各伝送路の特性インピーダンスはすべて外部伝送路の特性インピーダンスの50Ωに設定され、各集積回路の入・出力回路の入・出力インピーダンスはすべて50Ωに設定されている。

【実施例1】

【0021】

図3は、本発明の第1の実施例の半導体装置の構成を示す斜視図である。図3において、図9に示した従来例の部分と対応する部分には下1桁が共通する参照符号が付せられて

いるので、重複する説明は省略する。本実施例においては、コネクタ17を介して外部回路に接続される入出力伝送路12の特性インピーダンスは外部インピーダンスと同じ50Ωに設計されているが、ICチップ間を接続する内部伝送路13の特性インピーダンスは外部インピーダンスより高い200Ωに設計されている。そして、入力側ICチップ14の入力回路の入力インピーダンスおよび出力側ICチップ16の出力回路の出力インピーダンスは、入出力伝送路12の特性インピーダンスに整合する50Ωに設計されているが、入力側ICチップ14の出力インピーダンスと出力側ICチップ16の入力インピーダンスおよび中間ICチップ15の入・出力インピーダンスは、外部インピーダンスより高い200Ωに設定されている。すなわち、半導体装置11全体の入力回路を内蔵した入力側ICチップ14の入力インピーダンスは50Ωで、その出力インピーダンスは200Ωとなり、半導体装置全体の出力回路を内蔵した出力側ICチップ16の入力インピーダンスは200Ωで、出力インピーダンスは50Ωとなる。

【0022】

次に、図4を参照して、半導体装置内のICチップ間の接続状態について、入力側ICチップ14の出力回路14bと中間ICチップ15の入力回路15aとの接続部を例に挙げ、さらにバイポーラトランジスタを用いた集積回路を例に挙げて説明する。図4において、Q1～Q7はバイポーラトランジスタ、R1～R8は抵抗器、GNDはグラント線、VEEは電源線である。入力側ICチップ14の出力回路14bは、エミッタフォロア回路と差動回路から構成されており、最終段の負荷抵抗R3、R4は200Ωに設定されている。後段に接続される中間ICチップ15の入力回路15aは、エミッタフォロワ回路で構成されており、その入力部には200Ωの整合抵抗R5、R6が負荷されている。前段の入力側ICチップ14の出力回路14bと後段の中間ICチップ15の入力回路15aは、実装基板18上に形成された200Ωの特性インピーダンスを有する内部伝送路13を介して接続され、インピーダンス整合されている。前段の出力回路14bの出力負荷は、前段の負荷抵抗R3、R4の200Ωと後段の入力回路15aの整合抵抗R5、R6の200Ωで、100Ωとなる。前段の出力回路14bに必要な出力駆動電流は、出力振幅を0.5 V_{p-p} とすると5 mAの電流となり、消費電流の低減が可能となる。

【0023】

さらに、実装基板上に複数のICチップからなる半導体装置やMCMを形成する場合には、各IC出力回路には従来20 mAの消費電流が必要であったのが1/5に低減でき、全体では非常に低い消費電流となる。

なお、本実施例では、入力整合抵抗R5、R6がトランジスタQ6、Q7のベース・グランド線間に接続されているが、入力整合抵抗は回路方式によってはベース・電源線間に接続されることもありうる。

【実施例2】

【0024】

図5は、本発明の第2の実施例の半導体装置の部分回路構成を示す回路図である。第2の実施例の半導体装置の全体の構成は図3に示した第2の実施例のそれと同様であって、図5はその入力側ICチップ14と中間ICチップ15との接続部の状態を示す。図5において、Q1～Q7、Q11～Q19はバイポーラトランジスタ、R1～R8、R11～R14は抵抗器、GNDはグラント線、VEEは電源線である。前段の入力側ICチップ14にはECL基本回路を用いたフリップフロップ回路10が搭載されておりその出力回路14bと、後段の中間ICチップ15の入力回路15aが、実装基板18上に形成された内部伝送路13を介して接続されている。フリップフロップ回路10は、フリップフロップ回路のコア部(図ではスレーブ回路のみ記載)と、エミッタフォロア回路および差動回路からなる1段のバッファ回路で構成されており、最終段の負荷抵抗R3、R4は200Ωに設定されている。後段に接続される中間ICチップ15の入力回路15aは、エミッタフォロワ回路で構成されており、その入力部には200Ωの整合抵抗R5、R6が負荷されている。前段のフリップフロップ回路10の出力回路14bと後段の中間ICチップ15の入力回路15aは、実装基板18上に形成された200Ωの特性インピーダンスを有する内部伝送路13を介して接続され、インピーダンス整合されている。前段のフリップフロップ回路10の出力負荷は、終段の負荷抵抗R3、R4の200Ωと後段の入力回路15aの整合抵抗R5、R6の200Ωで、100Ωとなる。前段のフリップフロップ回路10の出力回路に必要な出力駆動電流

は、出力振幅を $0.5 V_{p-p}$ とすると5 mAの電流となり、消費電流の低減が可能となる。従来では20mAの出力駆動電流が必要であったため、出力回路の最終段は、 $2\mu m \times 20\mu m$ のエミッタサイズの大きいトランジスタで構成していたが、本発明では5 mAの出力駆動電流の低下により、フリップフロップのコア部に用いるトランジスタと同じ $2\mu m \times 5\mu m$ のエミッタサイズのトランジスタで構成できる。そのため、ICの構成上、従来ではサイズが大きいトランジスタの最終段を駆動する必要があり、差動回路やエミッタフォロウ回路からなる2段のバッファ回路が必要であった。しかし、本発明では、最終段のトランジスタサイズが小さいため1段のバッファ回路でよく、IC全体の消費電力の低減やバッファ回路を減らすことによりICをより高速に動作させることが可能となる。

【実施例 3】

【0025】

図6は、本発明の第3の実施例の半導体装置の部分回路構成を示す回路図である。第3の実施例の半導体装置の全体の構成は図3に示した第2の実施例のそれと同様であって、図6はその入力側ICチップ14と中間ICチップ15との接続部の状態を示す。図6において、T1~T7は電界効果トランジスタ、R1~R8は抵抗器、VCCは電源線、GNDはグランド線である。入力側ICチップ14の出力回路14bは、ソースフォロア回路と差動回路から構成されており、最終段の負荷抵抗R3、R4は 200Ω に設定されている。後段に接続される中間ICチップ15の入力回路15aは、ソースフォロア回路で構成されており、その入力部には 200Ω の整合抵抗R5、R6が負荷されている。前段の入力側ICチップ14の出力回路14bと後段の中間ICチップ15の入力回路15aは、実装基板18上に形成された 200Ω の特性インピーダンスを有する内部伝送路13を介して接続され、インピーダンス整合されている。前段の出力回路14bの出力負荷は、前段の負荷抵抗R3、R4の 200Ω と後段の入力回路15aの整合抵抗R5、R6の 200Ω で、 100Ω となる。

半導体集積回路が電界効果トランジスタによって構成された場合にも出力トランジスタの出力電流の低減とサイズの縮小が実現できる。

電界効果トランジスタT1~T7はSi基板上に形成されたMOS型トランジスタであってもGaAs基板上に形成されたMES型トランジスタであってもよい。

また、本実施例では、入力整合抵抗R5、R6がトランジスタT6、T7のソースー電源線間に接続されているが、入力整合抵抗は回路方式によってはソースーグランド線間に接続されることもありうる。

【実施例 4】

【0026】

図7は、本発明の第4の実施例の半導体装置の構成を示すブロック図である。第4の実施例は、携帯電話や無線LANの端末機に応用した場合である。PDC(personal digital cellular)やPHS(personal handyphone system)などの携帯電話やBluetoothなどの無線LANの端末機は、図7に示すような送信回路と受信回路を有する半導体装置300により主に構成されている。また、アンテナスイッチ308、低雑音アンプ310、パワーアンプ319、ミキサ311、318などを有し、高周波信号を処理するRF部300Aと、可変利得アンプ312、直交復調器313、A/D変換器314、D/A変換器315、直交変調器316、ドライバアンプ317などを有するIF・ベースバンド部300Bから構成されている。PDC携帯電話ではRF部は800 MHzの信号を処理し、ミキサ311で100~200 MHzに変換される。Bluetoothでは、RF部は2.4 GHzの信号を処理し、ミキサ311で3 MHzに変換される。RF部300Aの受信回路では、アンテナ301を介して受信されたRF受信信号はアンテナスイッチ308、帯域通過フィルタ309、低雑音アンプ310を介してミキサ311に印加され、局部発振器からの局部発信信号と混合されてIF受信信号に変換される。RF部300Aの送信回路では、IF送信信号はミキサ318により局部発振器321からの局部発振信号と混合されRF送信信号に変換される。このRF送信信号はパワーアンプ319、帯域通過フィルタ320、アンテナスイッチ308、アンテナ301を介して送信される。このようなRF部300AのICの入出力は、従来プリント基板上に形成された 50Ω のインピーダンスの伝送路を介して行われていたが、本実施例では、受信側では、アンテナスイッチ308ー帯域通過フィルタ309間の伝送路302、帯域通過フィルタ309ー低雑音アンプ310間の伝送路30

3、低雑音アンプ310ーミキサ311間の伝送路304が 50Ω より高い(例えば 100Ω)インピーダンスに設定され、送信側では、ミキサ318ーパワーアンプ319間の伝送路305が 50Ω より高い(例えば 100Ω)インピーダンスに、パワーアンプ319ー帯域通過フィルタ320間の伝送路306、帯域通過フィルタ320ーアンテナスイッチ308間の伝送路307が 50Ω に設定されている。そのため、受信側では、アンテナスイッチ308の受信側出力、帯域通過フィルタ309の入出力、低雑音アンプ310の入出力、ミキサ311の入力が、送信側ではミキサ318の出力とパワーアンプ319の入力が 50Ω より高い(例えば 100Ω)インピーダンスに整合されている。また、送信側では、パワーアンプ319の出力、帯域通過フィルタ320の入出力、アンテナスイッチ308の送信側入力に 50Ω に整合されている。

以上の様に、ICの入出力を 50Ω より高いインピーダンスに設定して整合させることにより、消費電流の低下が可能となる。

以上示した実施例ではアンテナスイッチの出力、低雑音アンプの入出力、ミキサの入力などに 50Ω より高いインピーダンスと整合させた場合について説明したが、他のICの入力や出力、例えば帯域通過フィルタ320の入出力を 50Ω より高いインピーダンスにおいて整合させることも可能である。

【実施例 5】

【0027】

図8は、本発明の第5の実施例の半導体装置の構成を示すブロック図である。第5の実施例の半導体装置400では、同一の実装基板上にMCM400Aと400Bとが搭載され、それら二つのMCMはその実装基板上に形成されたMCM間伝送路402Cにより接続されている。外部伝送路401を介して信号が入力されるMCM400Aには、入力側集積回路404A、中間集積回路405、出力側集積回路406Aが搭載され、入出力伝送路402A、402B、内部伝送路403が形成されている。また、MCM400Bには、入力側集積回路404B、中間集積回路405、出力側集積回路406Bが搭載され、入出力伝送路402A、402B、内部伝送路403が形成されており、外部伝送路401を介して信号を出力する。ここで、入出力伝送路402Aの特性インピーダンスは、外部伝送路の特性インピーダンスに等しい 50Ω に設定されているが、入出力伝送路402B、内部伝送路403およびMCM間伝送路402Cの特性インピーダンスは 200Ω に設定されている。そのため、入力側集積回路404Aの入力回路404Aaと出力側集積回路406Bの出力回路406Bbは 50Ω にてインピーダンス整合されているが、入力側集積回路404Aの出力回路404Ab、中間集積回路405の入力回路405aと出力回路405b、出力側集積回路406Aの入力回路406Aaと出力回路406Ab、入力側集積回路404Bの入力回路404Baと出力回路404Bbおよび出力側集積回路406Bの入力回路406Baはすべて 200Ω にインピーダンス整合されている。

ここで、MCM400A、MCM400Bに注目すると、これらの半導体装置では、入出力伝送路402Aと402Bとは異なる特性インピーダンスに設定されている。而して、半導体装置400が本発明に包含されるのみならず、MCM400A、MCM400Bと表される半導体装置自身も本発明に含まれる。換言すると、入力側の伝送路と出力側の伝送路とが異なる特性インピーダンスに設定されている半導体装置も本発明に含まれる。本発明によれば、入力側の伝送路と出力側の伝送路とが異なる特性インピーダンスに設定されている場合、少なくとも一つの内部伝送路は、低い方の入出力伝送路の特性インピーダンスより高い特性インピーダンスに設定される。

【0028】

以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。例えば前段ICの出力部にフリップフロップ回路を用いる例について説明したが、アンプなどの他の回路においても同様に本発明を適用することができる。

【図面の簡単な説明】

【0029】

【図1】 本発明と従来例との概略の構成を示すブロック図。

【図2】 非伝送路配線を有する本発明の半導体装置の概略の構成を示すブロック図。

【図3】 本発明の第1の実施例の斜視図。

- 【図 4】 本発明の第 1 の実施例の回路図。
- 【図 5】 本発明の第 2 の実施例の回路図。
- 【図 6】 本発明の第 3 の実施例の回路図。
- 【図 7】 本発明の第 4 の実施例のブロック図。
- 【図 8】 本発明の第 5 の実施例のブロック図。
- 【図 9】 従来例の斜視図。
- 【図 10】 従来例の回路図。

【符号の説明】

【 0 0 3 0 】

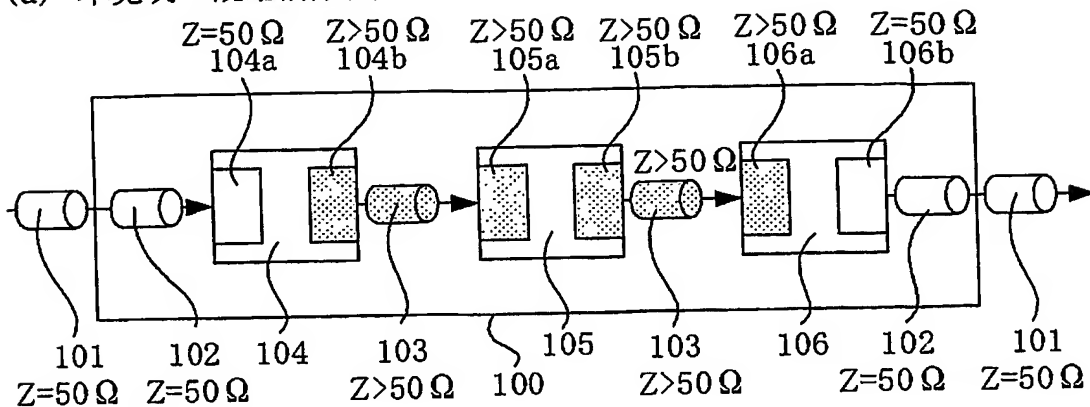
- Q1～Q7、Q11～Q19、Q21～Q27…トランジスタ ($2\mu\text{m}\times 5\mu\text{m}$ のエミッタサイズ)
- Q31～Q32…トランジスタ ($2\mu\text{m}\times 10\mu\text{m}$ のエミッタサイズ)
- Q41～Q43…トランジスタ ($2\mu\text{m}\times 20\mu\text{m}$ のエミッタサイズ)
- R1～R8、R11～R14、R21～R28、R31～R34…抵抗体
- GND…グランド線
- VCC、VEE…電源線
- 10、20…前段のフリップフロップ回路
- 11、21…半導体装置
- 12、22…入出力伝送路
- 13、23…内部伝送路
- 14、24…入力側ICチップ
- 14b、24b…入力側ICチップの出力回路
- 15、25…中間ICチップ
- 15a、25a…中間ICチップの入力回路
- 16、26…出力側ICチップ
- 17、27…コネクタ
- 18、28…実装基板
- 100、200、300、400…半導体装置
- 100a…実装基板
- 101、201、401…外部伝送路
- 102、202、402A、402B…入出力伝送路
- 103、203、403…内部伝送路
- 104、204、404A、404B…入力側集積回路
- 104a、204a、404Aa、404Ba…入力側集積回路の入力回路
- 104b、204b、404Ab、404Bb…入力側集積回路の出力回路
- 105、205、405…中間集積回路
- 105a、205a、405a…中間集積回路の入力回路
- 105b、205b、405b…中間集積回路の出力回路
- 106、206、406A、406B…出力側集積回路
- 106a、206a、406Aa、406Ba…出力側集積回路の入力回路
- 106b、206b、406Ab、406Bb…出力側集積回路の出力回路
- 107…非伝送路配線
- 300A…RF部
- 300B…IF・ベースバンド部
- 301…アンテナ
- 302～307…伝送路
- 308…アンテナ・スイッチ
- 309、320…帯域通過フィルタ
- 310…低雑音アンプ
- 311、318…ミキサ
- 312…可変利得アンプ

313…直交復調器
314…A/D変換器
315…D/A変換器
316…直交変調器
317…ドライバアンプ
319…パワーアンプ
321…局所発振器
402C…MCM間伝送路

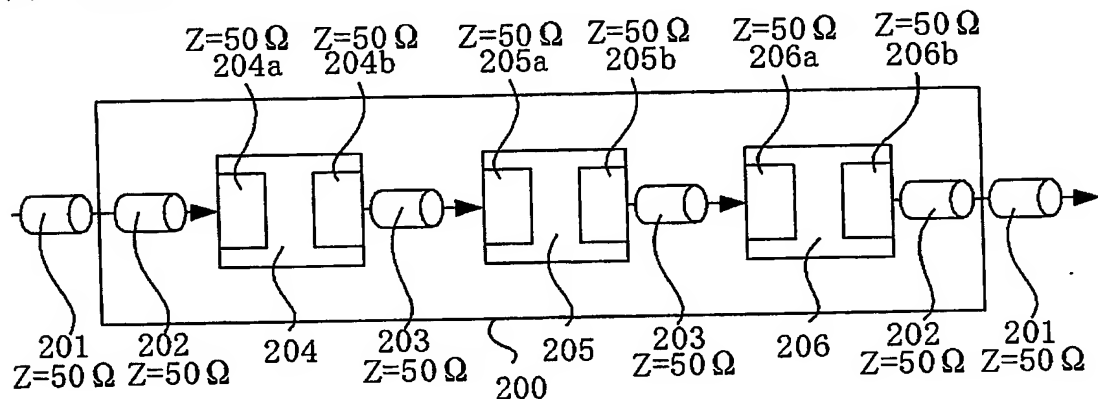
【書類名】 図面

【図 1】

(a) 本発明の概略構成図



(b) 従来例



100、200 半導体装置

101、201 外部伝送路

102、202 入出力伝送路

103、203 内部伝送路

104、204 入力側集積回路

104a、204a 入力側集積回路の入力回路

104b、204b 入力側集積回路の出力回路

105、205 中間集積回路

105a、205a 中間集積回路の入力回路

105b、205b 中間集積回路の出力回路

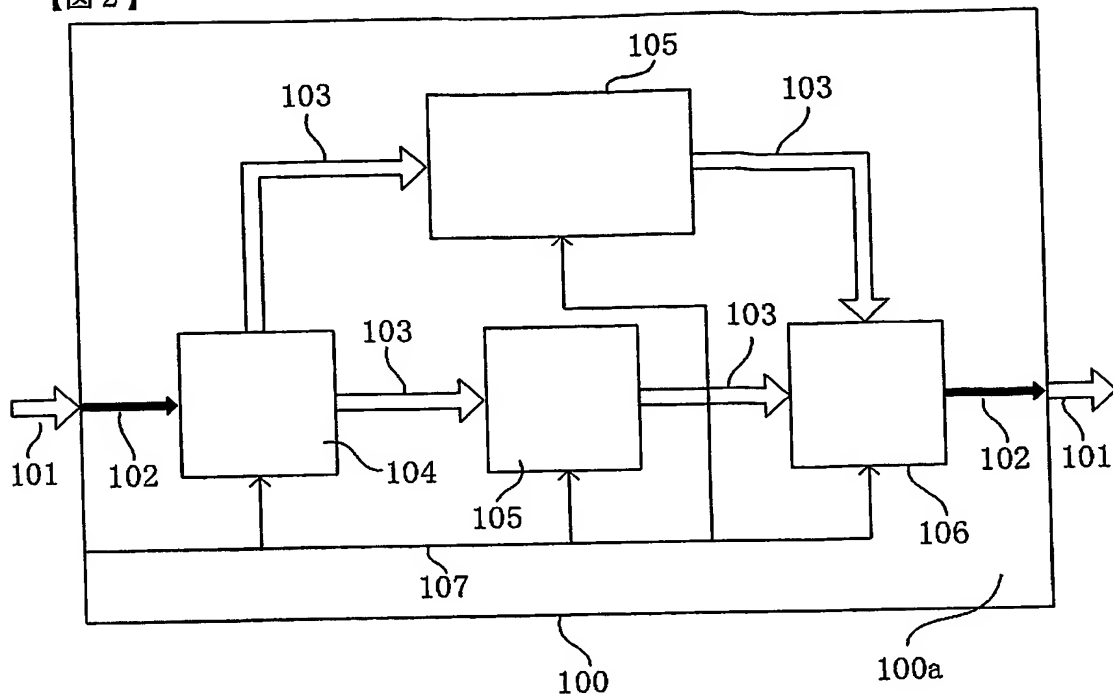
106、206 出力側集積回路

106a、206a 出力側集積回路の入力回路

106b、206b 出力側集積回路の出力回路

(図1)

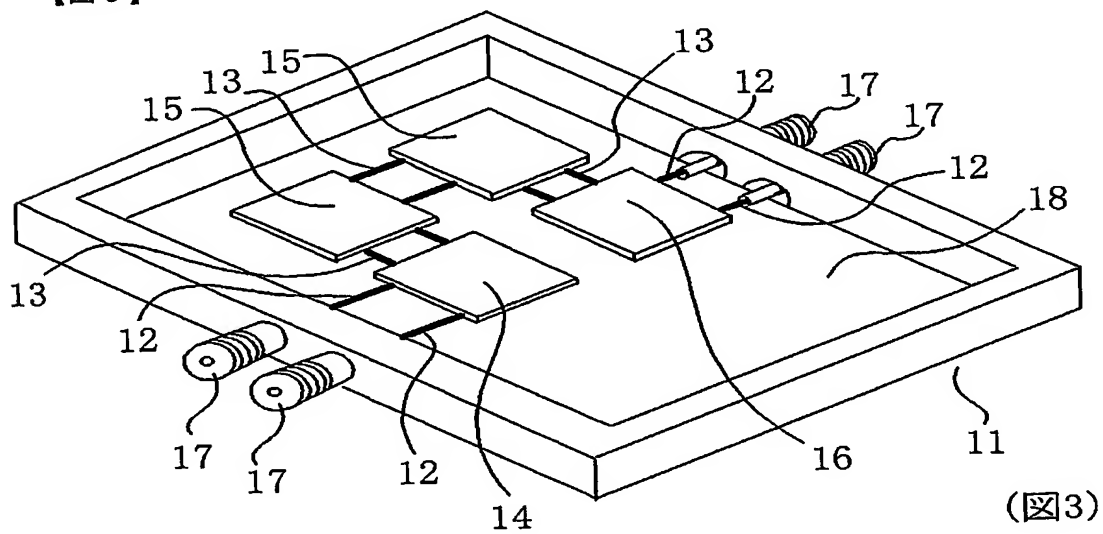
【図2】



100a 実装基板
107 非伝送路配線

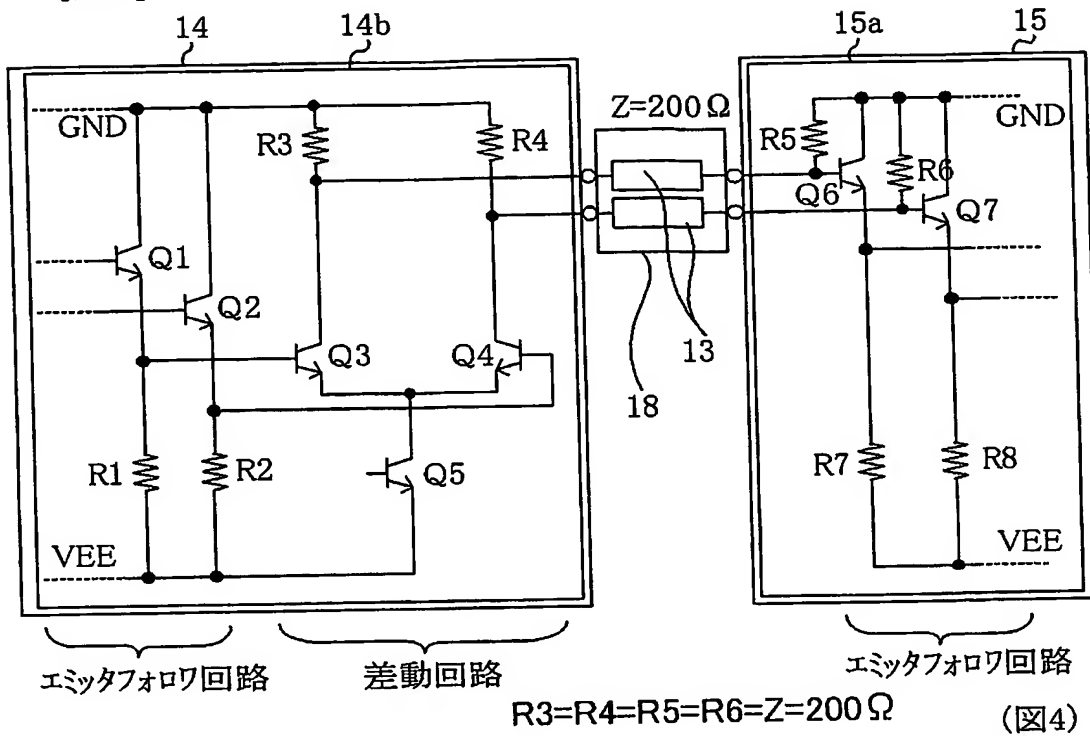
(図2)

【図3】



(図3)

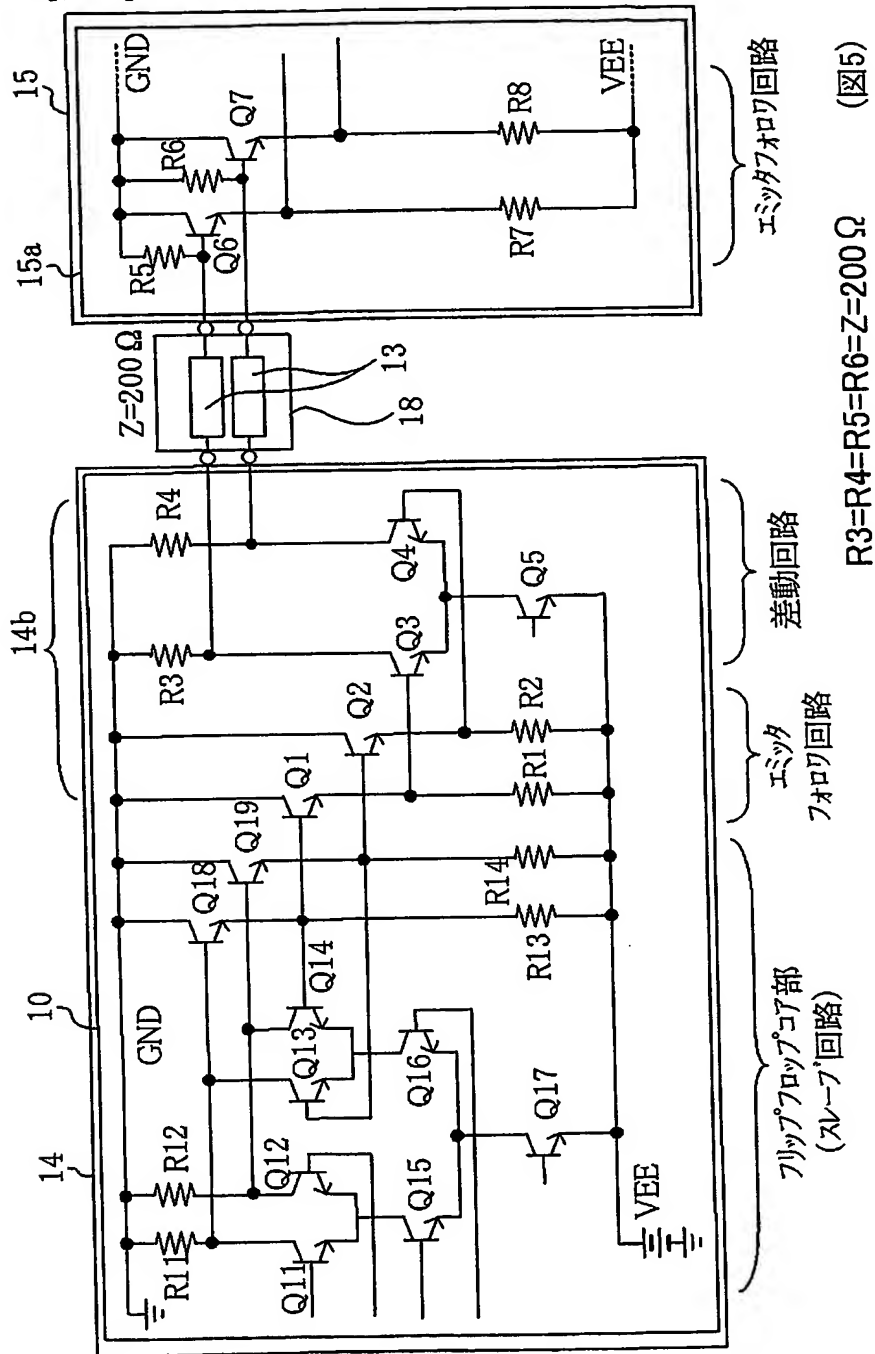
【図4】



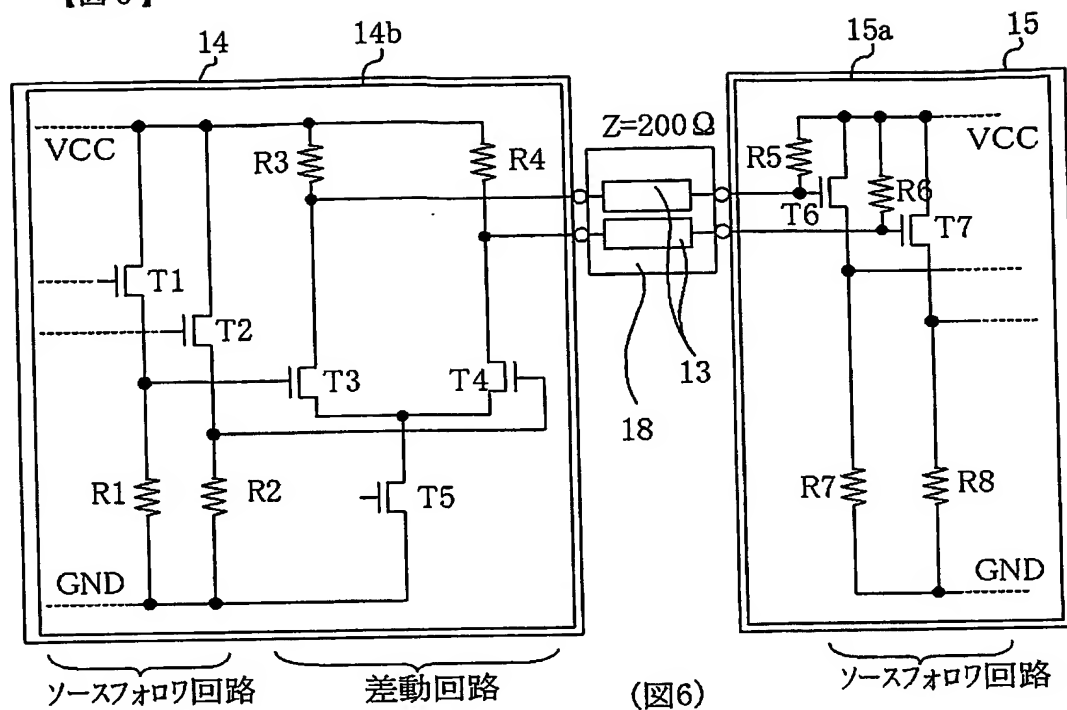
- 11 半導体装置
- 12 入出力伝送路
- 13 内部伝送路
- 14 入力側ICチップ
- 14b 入力側ICチップの出力回路

- 15 中間ICチップ
- 15a 中間ICチップの入力回路
- 16 出力側ICチップ
- 17 コネクタ
- 18 実装基板

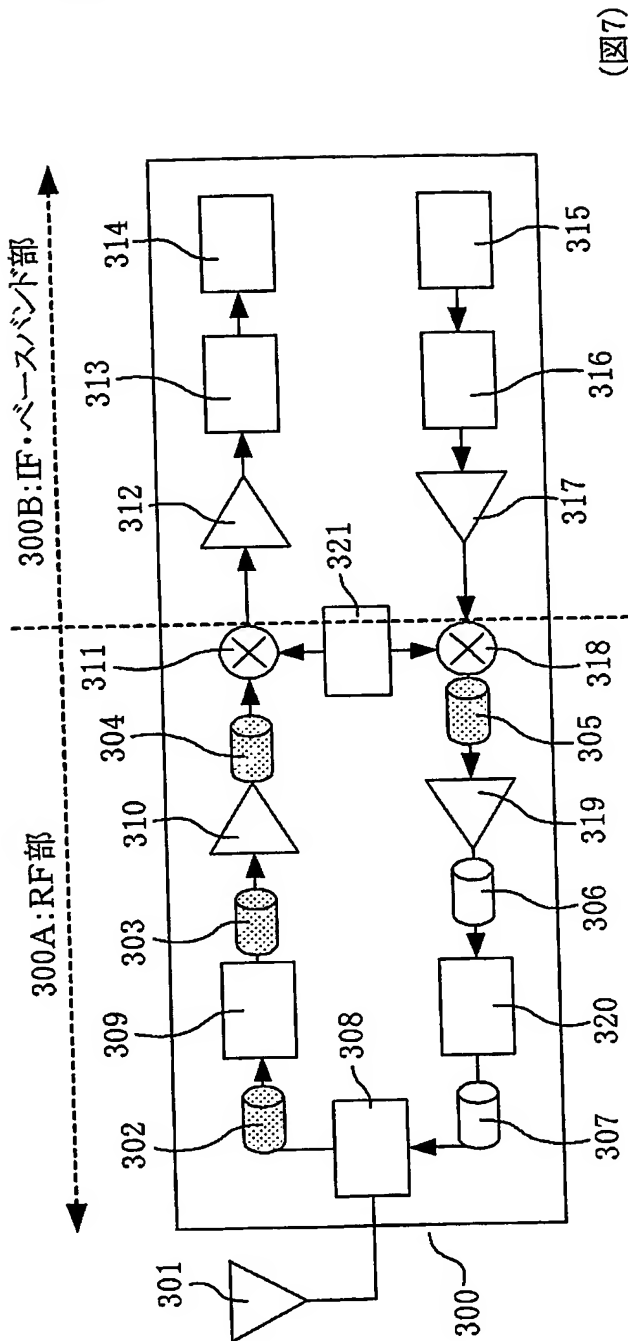
【図5】



【図6】



【圖 7】

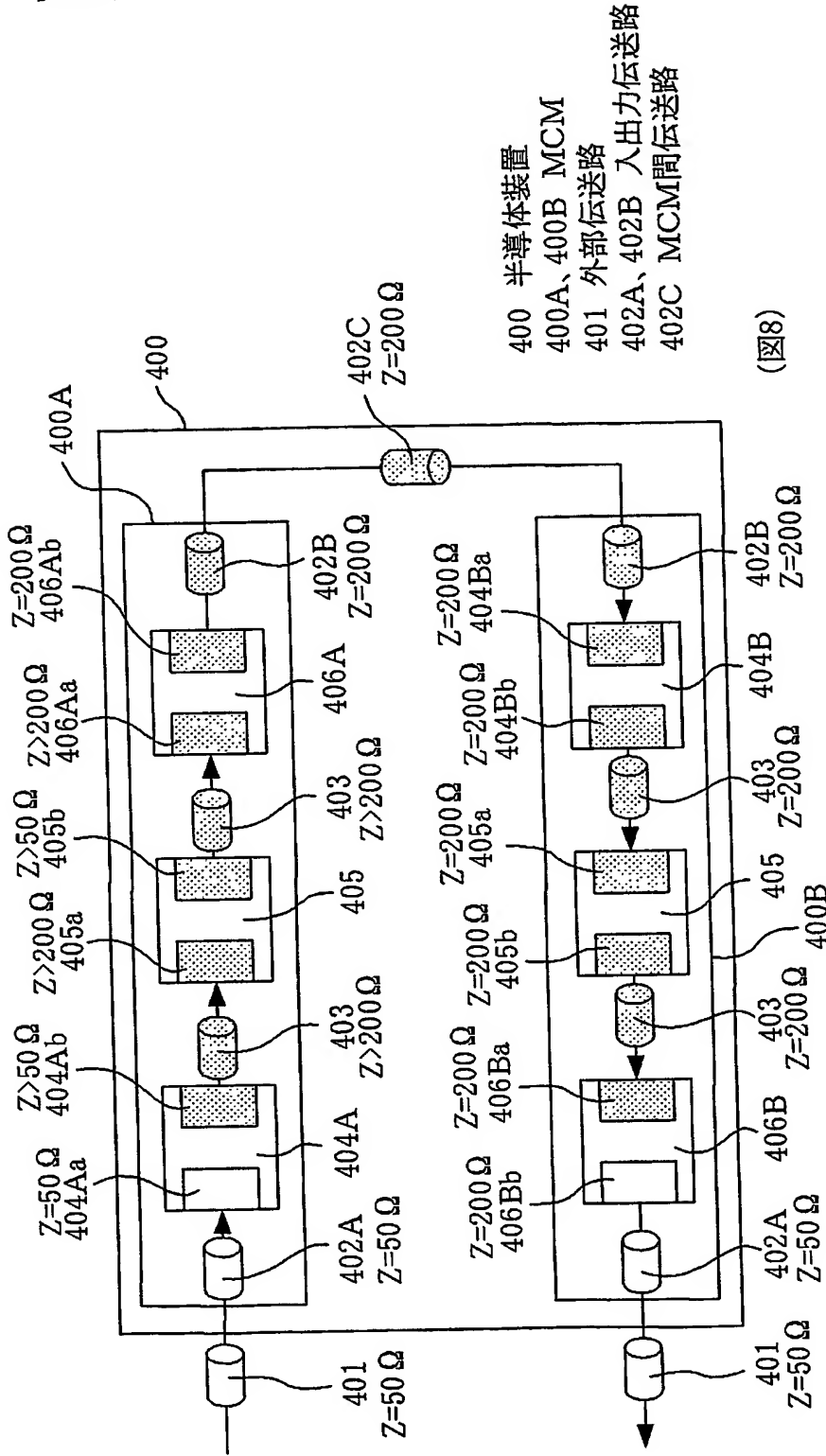


315 D/A変換器
316 直交変調器
317 ドライバアンプ
319 パワーアンプ
321 局所発振器

310 低雑音アンプ
311、318 ミキサ
312 可変利得アンプ
313 直交復調器
314 A/D変換器

300 半導体装置
301 アンテナ
302~307 伝送路
308 アンテナ・スイッチ
309、320 帯域通過フィルタ

【図8】



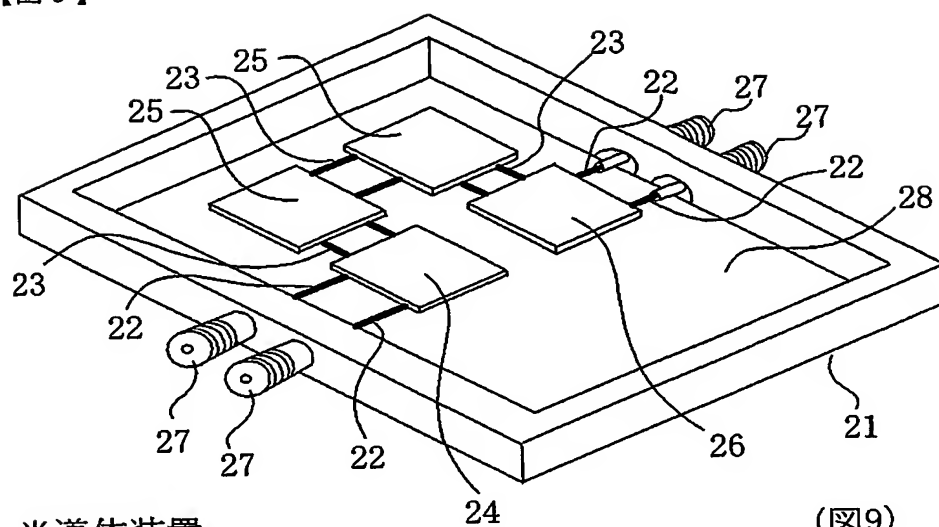
(図8)

400 半導体装置
400A、400B MCM
401 外部伝送路
402A、402B 入力伝送路
402C MCM間伝送路

405a 中間集積回路の入力回路
405b 中間集積回路の出力回路
406A、406B 出力側集積回路
406Aa、406Ba 出力側集積回路の入力回路
406Ab、406Bb 出力側集積回路の出力回路

403 内部伝送路
404A、404B 入力側集積回路
404Aa、404Ba 入力側集積回路の入力回路
404Ab、404Bb 入力側集積回路の出力回路
405 中間集積回路

【図9】

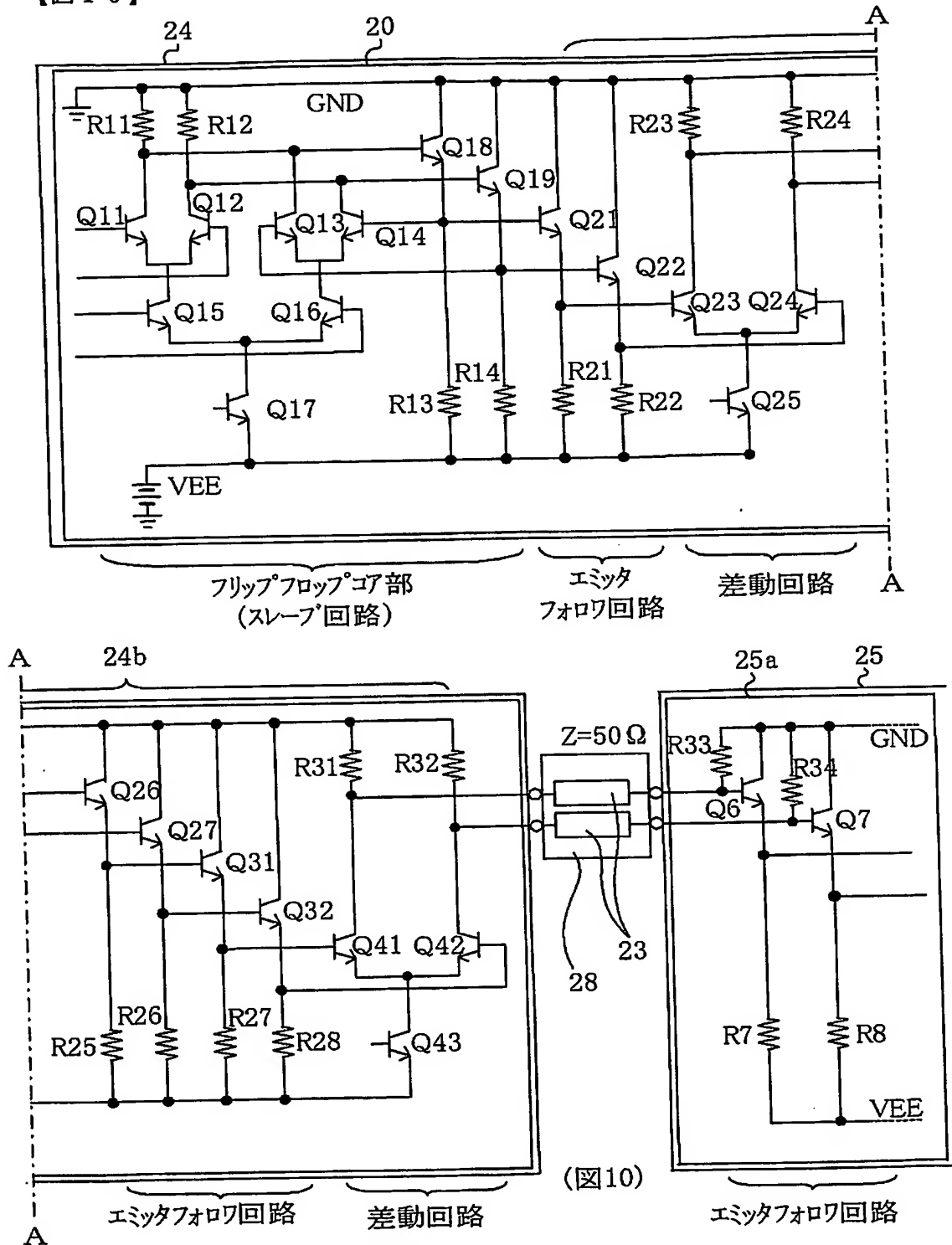


(図9)

- 21 半導体装置
- 22 入出力伝送路
- 23 内部伝送路
- 24 入力側ICチップ
- 25 中間ICチップ
- 26 出力側ICチップ

- 27 コネクタ
- 28 実装基板

【図10】



$$R31=R32=R33=R34=Z=50\Omega$$

【書類名】 要約書**【要約】**

【課題】 消費電流の低減が可能で、かつ高速動作が可能な複数のICチップが実装された半導体装置を提供する。

【解決手段】 外部回路に接続される半導体装置 1 1 の入出力伝送路 1 2 の特性インピーダンスは外部インピーダンスと同様に 50Ω とするが、半導体装置の内部に実装される入力側ICチップ 1 4 の出力回路と中間ICチップ 1 5 の入出力回路と出力側ICチップ 1 6 の入力回路のインピーダンス及び実装基板 1 8 上の内部伝送路 1 3 の特性インピーダンスを外部インピーダンスより高いインピーダンスで整合させる。入力側ICチップ 1 4 の入力回路と出力側ICチップ 1 6 の出力回路のインピーダンスは 50Ω に整合させる。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2003-273220
受付番号	50301151570
書類名	特許願
担当官	第四担当上席 0093
作成日	平成15年 7月16日

<認定情報・付加情報>

【提出日】

平成15年 7月11日

特願 2003-273220

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.